



RECURSOS HUMANS – CONVOCATÒRIA DE BECA

■ BECA DE PROJECTE:

BECA DE PROJECTE – (T18162S “Double Gate TFT SPICE model”)

■ TASQUES FORMATIVES DE LA BECA:

Curset informal (tres hores) sobre la física dels dispositius Double-Gate IGZO TFTs.
Curset informal (tres hores) sobre el llenguatge Verilog-A per implementar models de dispositius electrònics en eines de disseny de circuits.

■ COMPETÈNCIES ASSOCIADES A LES TASQUES FORMATIVES

Adquisició dels coneixements de la física dels dispositius Double-Gate IGZO TFTs.
Aprofundiment en la comprensió del llenguatge Verilog-A per implementar models de dispositius electrònics en eines de disseny de circuits.

■ PERFIL DE LA PERSONA CANDIDATA

Estudiant de doctorat de Tecnologies per a Nanosistemes, Bioenginyeria i Energia de la Universitat Rovira i Virgili.

■ REQUISITS

- 1) Màster en Enginyeria i Tecnologia dels Sistemes Electrònics, en Enginyeria Electrònica o semblant.
- 2) Matrícula vigent en el programa de doctorat de Tecnologies per a Nanosistemes, Bioenginyeria i Energia de la Universitat Rovira i Virgili.
- 3) Experiència en recerca sobre caracterització i modelatge de transistors Thin Film Transistors.
- 4) Publicacions a revistes internacionals de dispositius semiconductors del 1er o 2on quartil
- 5) Bon nivell d'anglès parlat i escrit.
- 6) Aptitud de treballar en equip, demostrable mitjançant publicacions en equip

■ CARACTERÍSTIQUES DE LA CONVOCATÒRIA:

Nº de beques: 1
Assignació econòmica: 1000 Euro/mes
Dedicació: 37,5 h setmanals
Període de la beca: Del 19/07/2019 al 18/08/2019.



UNIVERSITAT
ROVIRA I VIRGILI
Fundació URV

Ubicació desenvolupament de la beca: Aula 217, ETSE, Departament d'Enginyeria Electrònica, Elèctrica i Automàtica, Universitat Rovira i Virgili, Av. Dels Països Catalans, 26. Tarragona 43007.

Correu electrònic on rebre els Cv's: benjamin.iniguez@urv.cat

Data limit recepció Cv's: 17/7/2019